

【 添付資料 】

次世代テクニカルコンピューティングサーバ「FX1」の特長・仕様

〔特長〕

1. 高性能自社開発CPU SPARC64™ VII
 - (1) 最新65nmテクノロジー
 - (2) バックゲートバイアス制御による消費電力削減
 - (3) コア間共有型L2キャッシュ
 - (4) 高速コア間バリア機構
2. 計算ノードをコンパクトに実装
 - (1) FX1装置構成
シングルCPUからなる計算ノード4セットを5Uシャーシに収容
 - (2) インターコネクト
計算ノードあたり1ポートのDDR InfiniBand™ インターフェース
(シャーシあたり4ポート)
 - (3) ノード間高速バリア同期、リダクション演算機能をハードウェア機構で実現
(オプション)
3. 高メモリスループット
 - (1) 専用自社開発チップセット
 - (2) CPU性能に対して高いメモリバンド幅を実現
4. マルチコア時代の新コンパイラ技術「Integrated Multicore Parallel Architecture」
 - (1) マルチコアを意識しないで利用できる並列化能力を有する自動並列化機能
 - (2) メモリ性能を活かす高度な自動プリフェッチ生成機能
 - (3) SPARC64™ VIIの特性を活かした高度な命令スケジューリング機能
5. 高いユーザビリティの実現
 - (1) ベクトル機向けプログラムの高速化
従来、スカラマシンで効率の低かったベクトル機向けプログラムも、そのまま高速化
 - (2) プログラムの容易な移植性
PCクラスタで動作しているMPIプログラムが、再翻訳するだけで高速に実行可能
6. データ保護
 - (1) エラー訂正のためCPU、メモリ、システムバス等、システム内の幅広い範囲をECCにより保護。システム運用に影響を与えません。また、メインメモリについてはECCに加えて「拡張ECC」でも保護。メモリチップの故障によるマルチビットエラー時にもデータを保護します。

〔主な仕様〕

CPU	プロセッサ	SPARC64™ VII
	周波数	2.5GHz
	キャッシュ	一次キャッシュ:1コアあたり、命令:64KB、データ:64KB 二次キャッシュ:1CPUあたり、共有6MB
	コア数	4コア/CPU
	性能	40GFLOPS/CPU
	同時マルチスレッディング	2スレッド/コア
	バリア同期	チップ内コア高速バリア機構
ノード	CPU数	1CPU
	メモリ容量	最大32GB
	メモリエラー訂正機能	ECC、拡張ECC
	メモリバンド幅	40GB/s
	I/O	ハードディスク 73GB×1, InfiniBand™ HCA (2GB/s) ×1, 1000BASE-T×2
シャーシ	ノード数	4
	外形寸法(装置前面の取っ手を除く)	443×800×220mm (ラックマウント5U)
	質量	70Kg
	電源条件	AC200V~240V、単相、50Hz/60Hz
	消費電力	最大消費電力2,213W、皮相電力2,236VA
	最大発熱量	7,988kJ/h
	省エネ法に基づくエネルギー消費効率	0.0155(区分c)

シャーシ外観



ラック搭載イメージ



CPU/メモリユニット

