

【添付資料】

「AccelArray」仕様詳細

マスタのラインアップ

製品の基盤となるマスタは、I/Oの伝送速度ごとに、「メガフレーム」(400Mbps)と「ギガフレーム」(622Mbps~3.125Gbps)の2種類を用意しています。(「ギガフレーム」は2004年度第1四半期より提供予定です。)

当社の決算期は3月末日です。

「メガフレーム」のラインアップ

フレーム名		M10	M20	M30	M40	M50
I/Oセル数		472	696	824	952	1176
FFセル数		20k	50k	70k	93k	150k
使用可能ゲート数		256k	639k	895k	1194k	1918k
ASIC等価ゲート数		455k	1139k	1594k	2126k	3416k
SRAM容量 [bit]	2RW-SRAM	800k	1680k	2240k	2880k	4400k
	1R/1W-SRAM	60k	90k	105k	120k	150k
	Maximum total	860k	1770k	2345k	3000k	4550k
PLLマクロ数		8	8	8	8	8
最大消費電力[W] (f=333MHz/V=1.3v/Tj=125)		2	5	7	9	14
パッケージ ([]内はBody Size, Ballピッチ1.00mm)	FCBGA625 [27mm sq.]					
	FCBGA729 [29mm sq.]					
	FCBGA961 [33mm sq.]					
	FCBGA1156 [35mm sq.]					
	FCBGA1681 [42.5mm sq.]					

最大消費電力は品種により大きく変わります。

搭載IPマクロ

1. アナログPLL

- ・入力周波数 : 25MHz - 800MHz
- ・出力周波数 : 400MHz - 800MHz
- ・ユーザ周波数 : 25MHz - 800MHz
- ・位相シフト : 0/90/180/270deg

2. SRAM

- ・1R1W-SRAM : 32word x 40bit
- ・2RW-SRAM : 512word x 40bit

3. I/O

「メガフレーム」用

- ・HSTL (*1)
- ・LVCMOS 2.5V I/F
- ・PCML
- ・LVDS
- ・SSTL2
- ・PCI-66 (*2)
- ・PCI-X(*2)
- ・LVCMOS 3.3V I/F(*3)

(*1) 1.5V電源が必要です。

(*2) 3.3V Tolerant I/Fとなるため、PCI規格を満たせない場合があります。

(*3) 3.3V Tolerant I/Fとなります。

「ギガフレーム」用 (括弧内はData Rateを表します。)

- SF14 (622Mbps - 800Mbps)
- Hyper Transport (400Mbps、600Mbps、800Mbps)
- RapidIO (500Mbps、700Mbps)
- SPI4P2 (622Mbps - 800Mbps)
- XAUI (3.125Gbps)
- FibreChannel (1.0Gbps、2.0Gbps)
- RapidIO (1.25Gbps、2.5Gbps、3.125Gbps)
- SF14P2 (2.5Gbps - 3.125Gbps)
- Serial ATA (1.5Gbps、3.0Gbps)
- PCI express (2.5Gbps)

4. DDR インタフェース (括弧内は最大Data Rateをあらわします。)

「AcceIArray」の外に接続される RAM とのインタフェースをつかさどるマクロです。

- DDR-SDRAM (400Mbps)
- QDR-SRAM (400Mbps)
- Pier to Pier SDR (200Mbps)
- Pier to Pier DDR (200Mbps)
- SDR-SDRAM (167Mbps)

QDR-SRAM(Quad Data Rate SRAM) : QDR は Integrated Device Technology, Inc.および Micron Technology, Inc.の登録商標です。